

2-12-02

11036 U.S. PTO  
10/015374  
12/12/01

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2001년 제 12326 호  
Application Number PATENT-2001-0012326

출원년월일 : 2001년 03월 09일  
Date of Application MAR 09, 2001

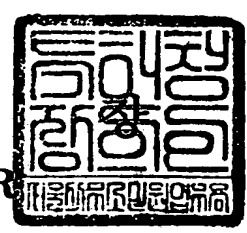
출원인 : 앰코 테크놀로지 코리아 주식회사  
Applicant(s) Amkor Technology Korea, Inc.



2001 년 07 월 12 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2001.03.09
【국제특허분류】	H01L
【발명의 명칭】	반도체칩의 스택킹 구조 및 이를 이용한 반도체 패키지
【발명의 영문명칭】	Stacking structure of semiconductor chip and semiconductor package using it
【출원인】	
【명칭】	앰코 테크놀로지 코리아 주식회사
【출원인코드】	1-1999-032391-1
【대리인】	
【성명】	서만규
【대리인코드】	9-1998-000260-4
【포괄위임등록번호】	1999-043688-8
【발명자】	
【성명의 국문표기】	오광석
【성명의 영문표기】	OH,Kwang Seok
【주민등록번호】	701009-1545419
【우편번호】	136-042
【주소】	서울특별시 성북구 삼선동2가 403-9
【국적】	KR
【발명자】	
【성명의 국문표기】	박종욱
【성명의 영문표기】	PARK,Jong Wook
【주민등록번호】	720619-1066627
【우편번호】	156-804
【주소】	서울특별시 동작구 노량진2동 244-51
【국적】	KR
【발명자】	
【성명의 국문표기】	박영국
【성명의 영문표기】	PARK,Young Kuk
【주민등록번호】	590216-1038015

**【우편번호】** 120-122  
**【주소】** 서울특별시 서대문구 남가좌2동 335-13  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 서만규 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 2 면 2,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 12 항 493,000 원  
**【합계】** 524,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

이 발명은 반도체칩의 스택킹 구조 및 이를 이용한 반도체패키지에 관한 것으로, 도전성와이어가 상부 반도체칩의 하면에 접촉되어도 전기적으로 절연이 가능하고, 기계적으로 손상되는 것을 방지할 수 있으며, 전체적인 두께를 낮출 수 있도록, 다수의 회로 패턴이 형성된 셉스트레이트와; 상기 셉스트레이트의 표면에 접착되어 있으며, 대략 평면인 제1면과 제2면을 갖고, 상기 제2면에는 다수의 입출력패드가 형성된 제1반도체칩과; 상기 제1반도체칩의 제2면에 접착된 스페이서와; 대략 평면인 제1면과 제2면을 갖고, 상기 제2면에는 다수의 입출력패드가 형성되어 있으며, 상기 제1면에는 절연수단이 부착되어 상기 스페이서에 접착된 제2반도체칩과; 상기 제1반도체칩의 입출력패드와 상기 셉스트레이트의 회로패턴을 연결하는 제1도전성와이어와; 상기 제2반도체칩의 입출력패드와 상기 셉스트레이트의 회로패턴을 연결하는 제2도전성와이어를 포함하여 이루어진 것을 특징으로 한다.

**【대표도】**

도 2a

**【명세서】****【발명의 명칭】**

반도체칩의 스택킹 구조 및 이를 이용한 반도체패키지{Stacking structure of semiconductor chip and semiconductor package using it}

**【도면의 간단한 설명】**

도1a 및 도1b는 종래 기술에 의한 반도체칩의 스택킹 구조 및 이를 이용한 반도체 패키지를 도시한 단면도이다.

도2a 내지 도2c는 본 발명에 의한 반도체칩의 스택킹 구조를 도시한 단면도이다.

도3은 본 발명에 의한 반도체패키지의 일례를 도시한 단면도이다.

- 도면중 주요 부호에 대한 설명 -

11~13; 본 발명에 의한 반도체칩의 스택킹 구조

1; 제1반도체칩      1c; 입출력패드

2; 제2반도체칩      2c; 입출력패드

3; 스페이서      4; 절연수단

5; 제1도전성와이어      6; 제2도전성와이어

7; 접스트레이트      8; 봉지부

9; 도전성볼      14; 본 발명에 의한 반도체패키지

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12>        본 발명은 반도체칩의 스택킹 구조 및 이를 이용한 반도체패키지에 관한 것으로, 더욱 상세하게 설명하면 도전성와이어가 상부 반도체칩의 하면에 접촉되어도 전기적으로 절연이 가능하고, 기계적으로 손상되는 것을 방지할 수 있으며, 전체적인 두께를 낮출 수 있는 반도체칩의 스택킹 구조 및 이를 이용한 반도체패키지에 관한 것이다.
- <13>        최근에는 반도체패키지의 주요 구성 요소인 반도체칩을 다수 스택함으로써, 전체적인 반도체패키지의 기능 및 성능을 극대화하기 위한 시도가 이루어지고 있다. 이러한 반도체패키지를 구현하기 위해서는 필수적으로 반도체칩을 스택하는 기술이 필요한데, 이러한 종래의 기술이 도1a 및 도1b에 도시되어 있다.
- <14>        먼저 도1a의 스택킹 구조(11')에 도시된 바와 같이 각종 섀스트레이트(7')(예를 들면, 인쇄회로기판, 씨킷필름, 씨킷테이프, 리드프레임 등등)의 상면 중앙에는, 제2면(1b') 둘레에 다수의 입출력패드(1c')가 형성된 제1반도체칩(1')(엣지패드형 반도체칩)중 제1면(1a')이 접착제에 의해 접착되어 있다. 또한, 상기 제1반도체칩(1')의 제2면(2b') 중앙에는 접착제(4')에 의해 제2반도체칩(2')의 제1면(2a')이 접착되어 있다. 물론, 상기 제2반도체칩(2') 역시 제2면(2b') 둘레에 다수의 입출력패드(2c')가 형성되어 있다. 즉, 엣지패드형 반도체칩이다.
- <15>        한편, 상기와 같은 반도체칩의 스택 구조(11')는 상기 제1반도체칩(1')의 입출력패드(1c')에 제1도전성와이어(5')를 용이하게 본딩할 수 있도록, 또는 상기 제1도전성와이

어(5')와 간섭하지 않는 동시에, 상기 제1도전성와이어(5')가 상호 쇼트되지 않도록 상기 제2반도체칩(2')의 크기가 상기 제1반도체칩(1')의 크기보다 반듯이 작아야 하는 제한이 있다.

<16> 더불어, 상기 반도체칩의 스택 구조는 제1반도체칩(1')으로서 입출력패드(1c')가 모두 제2면(1b') 둘레에 형성된 엣지패드형 반도체칩만을 채택할 수 있고, 입출력패드가 제2면 중앙에 형성된 센터패드형 반도체칩은 채택할 수 없는 단점이 있다. 물론, 상기 제2반도체칩(2')은 센터패드형 반도체칩을 채택할 수 있다.

<17> 도면중 미설부호 6'는 제2반도체칩(2')의 입출력패드(2c')와 셉스트레이트(7')의 회로패턴(도시되지 않음)을 상호 연결하는 제2도전성와이어이다.

<18> 계속해서, 도1b의 스택킹 구조(12')를 참조하면, 제1반도체칩(1') 및 제2반도체칩(2')은 그 크기가 동일하거나, 또는 제2반도체칩(2')의 크기가 더 큰 구조도 가능하다. 이때에는 상기 제1반도체칩(1')의 입출력패드(1c')에 본딩된 제1도전성와이어(5')와 상기 제2반도체칩(2')의 제1면(2a')이 상호 간섭하지 않도록, 상기 제1반도체칩(1')의 제2면(1b')과 상기 제2반도체칩(2')의 제1면(2a') 사이에 일정두께의 스페이서(3')가 개재된다.

<19> 상기와 같은 스페이서가 개재된 반도체패키지는 미국특허 5,323,060, 일본특허공개공보 특개평1-99248, 특개평5-109975에 상세하게 설명되어 있다.

<20> 상기 스페이서(3')로서는 접착성이 있는 일레스토머, 우레탄, 비닐, 폴리에틸렌, 아크릴릭 계열 등의 접착 테이프 또는 필름이 이용된다. 이러한 스페이서(3')는 주지된 바와 같이 접착은 물론, 진동완화, 내충격성, 내열성이 뛰어나 반도체패키징 분야에서

잘 사용되는 것들이다.

<21> 그러나, 이러한 스택 구조는 상기 제1반도체칩(1')의 제2면(1b')과 제2반도체칩(2')의 제1면(2a') 사이에 일정 두께를 갖는 스페이서(3')가 개재됨으로서, 전체적인 반도체칩의 스택 두께가 두꺼워지는 단점이 있다.

<22> 즉, 상기 스페이서(3')의 두께는 통상 상기 제1도전성와이어(5')가 갖는 루프하이트 LH 보다 대략 2배 정도 더 두꺼운 것을 사용하여야 한다. 다시 말하면, 도1b에 도시된 바와 같이 제1도전성와이어(5')의 최상단 만곡 지점으로부터 제2반도체칩(2')의 제1면(2a')까지의 높이 H는 제1도전성와이어(5')의 루프하이트 LH에 해당하는 높이와 같을 정도로 형성해야 한다. 이는 제1도전성와이어(5')에 형성된 루프하이트의 오차 및 스페이서(3')의 두께 오차를 고려하여 설계된 기준이다.

<23> 또한, 상기 제1도전성와이어(5')의 루프하이트 오차 및 스페이서(3')의 두께 오차가 클 경우, 상기 제2도전성와이어(6')는 상기 제2반도체칩(2')의 제1면(2a')과 간섭되고, 또한 상기 제1도전성와이어(5')끼리 상호 쇼트되는 문제도 발생한다.

【발명이 이루고자 하는 기술적 과제】

<24> 따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로, 도전성와이어가 상부 반도체칩의 하면에 접촉되어도 전기적으로 절연이 가능하고, 기계적으로 손상되는 것을 방지할 수 있으며, 전체적인 두께를 낮출 수 있는 반도체칩의 스택킹 구조 및 이를 이용한 반도체패키지를 제공하는데 있다.

【발명의 구성 및 작용】

<25> 상기한 목적을 달성하기 위해 본 발명에 의한 반도체칩의 스택킹 구조는 다수의 회



로패턴이 형성된 셉스트레이트와; 상기 셉스트레이트의 표면에 접착되어 있으며, 대략 평면인 제1면과 제2면을 갖고, 상기 제2면에는 다수의 입출력패드가 형성된 제1반도체칩과; 상기 제1반도체칩의 제2면에 접착된 스페이서와; 대략 평면인 제1면과 제2면을 갖고, 상기 제2면에는 다수의 입출력패드가 형성되어 있으며, 상기 제1면에는 절연수단이 부착되어 상기 스페이서에 접착된 제2반도체칩과; 상기 제1반도체칩의 입출력패드와 상기 셉스트레이트의 회로패턴을 연결하는 제1도전성와이어와; 상기 제2반도체칩의 입출력패드와 상기 셉스트레이트의 회로패턴을 연결하는 제2도전성와이어를 포함하여 이루어진 것을 특징으로 한다.

- <26>      상기 제1반도체칩은 제2면 내주연에 다수의 입출력패드가 형성된 엣지패드형일 수 있다.
- <27>      여기서, 상기 스페이서는 비전도성 액상 접착제 또는 비전도성 접착 테이프중 어느 하나 일 수 있다.
- <28>      또한, 상기 절연수단은 비전도성 테이프, 액상 접착제, 폴리이미드, 산화막 또는 질화막중 어느 하나 일 수 있다.
- <29>      또한, 상기 제1도전성와이어는 일단이 상기 셉스트레이트의 회로패턴에 볼본딩되고, 타단이 상기 제1반도체칩의 입출력패드에 스티치본딩될 수 있다.
- <30>      또한, 상기 스티치본딩되는 제1반도체칩의 입출력패드에는 도전성볼이 형성될 수 있다.
- <31>      한편, 상기 제1반도체칩은 제2면 중앙에 다수의 입출력패드가 형성된 센터패드형일 수 있다.

- <32> 여기서, 상기 스페이서는 비전도성 액상 접착제를 이용함이 바람직하다.
- <33> 또한, 마찬가지로 상기 절연수단은 비전도성 테이프, 액상 접착제, 폴리이미드, 산화막 또는 질화막중 어느 하나 일 수 있다.
- <34> 더불어, 상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지는 다수의 회로 패턴이 형성된 셉스트레이트와; 상기 셉스트레이트의 표면에 접착되어 있으며, 대략 평면인 제1면과 제2면을 갖고, 상기 제2면에는 다수의 입출력패드가 형성된 제1반도체칩과; 상기 제1반도체칩의 제2면에 접착된 스페이서와; 대략 평면인 제1면과 제2면을 갖고, 상기 제2면에는 다수의 입출력패드가 형성되어 있으며, 상기 제1면에는 절연수단이 형성되어 상기 스페이서에 접착된 제2반도체칩과; 상기 제1반도체칩의 입출력패드와 상기 셉스트레이트의 회로패턴을 연결하는 제1도전성와이어와; 상기 제2반도체칩의 입출력패드와 상기 셉스트레이트의 회로패턴을 연결하는 제2도전성와이어와; 상기 셉스트레이트 일면의 제1반도체칩, 스페이서, 절연수단이 접착된 제2반도체칩, 제1,2도전성와이어를 봉지재로 봉지하여 형성된 봉지부를 포함하여 이루어진 것을 특징으로 한다.
- <35> 이때, 상기 셉스트레이트는 인쇄회로기판, 씨킷테이프, 씨킷필름 또는 리드프레임 중 어느 하나 일 수 있다.
- <36> 또한, 상기 셉스트레이트로서 인쇄회로기판, 씨킷테이프, 씨킷필름이 이용된 경우, 상기 셉스트레이트의 일면에는 마더보드에 실장 가능하도록 도전성볼이 융착될 수 있다.
- <37> 상기와 같이 하여 본 발명에 의한 반도체칩의 스택킹 구조 및 이를 이용한 반도체 패키지에 의하면, 제2반도체칩의 제1면에 절연수단이 더 부착됨으로써, 도전성와이어가

그 절연수단에 접촉되어도 전기적으로 절연이 가능한 효과가 있다.

<38> 따라서, 상기 도전성와이어의 기계적 손상을 방지함은 물론, 상기 스페이서의 두께를 충분히 작게 할 수 있음으로, 스택된 반도체칩의 전체적인 두께를 낮출 수 있는 효과가 있다.

<39> 부수적으로, 도전성와이어가 절연수단에 고착되게 함으로써, 봉지 공정등에서 도전성와이어의 풀림 현상도 억제되는 효과가 있다.

<40> 이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

<41> 도2a 내지 도2c는 본 발명에 의한 반도체칩의 스택킹 구조(11,12,13)를 도시한 단면도이다.

<42> 먼저 도2a의 반도체칩의 스택킹 구조(11)를 참조한다.

<43> 도시된 바와 같이 다수의 회로패턴(도시되지 않음)이 형성된 대략 판상의 셉스트레이트(7)가 구비되어 있다. 상기 셉스트레이트(7)는 주지된 바와 같이 인쇄회로기판, 씨킷테이프, 씨킷필름 또는 리드프레임 등을 이용할 수 있으며, 여기서 특정한 것으로 한정하는 것은 아니다.

<44> 상기 셉스트레이트(7)의 일면에는, 대략 평면인 제1면(1a)과 제2면(1b)을 갖고 또한 상기 제2면(1b)에는 다수의 입출력패드(1c)가 형성된 제1반도체칩(1)이 접촉되어 있다.

<45> 상기 제1반도체칩(1)은 통상적으로 사용되는 바와 같이 제2면(1b)의 내주연에 다수

의 입출력패드(1c)가 형성된 엣지패드형일 수 있다. 상기 제2면(1b)의 중앙에 다수의 입출력패드(1c)가 형성된 센터패드형은 도2c를 참조하여 아래에서 설명하기로 한다.

<46>        상기 제1반도체칩(1)의 제2면(1b)중 상기 입출력패드(1c)를 제외한 내측 영역에는 일정두께의 스페이서(3)가 접착되어 있다. 상기 스페이서(3)는 주지된 바와 같이 비전도성 액상 접착제 또는 비전도성 접착 테이프중 어느 하나를 이용할 수 있다. 여기서, 특히 할만한 것으로, 상기 스페이서(3)의 두께를 하기할 제1도전성와이어(5)의 루프하이트와 같거나 또는 더 작게 형성할 수 있다는 것이다. 이는 아래에서 더욱 자세히 설명하기로 한다.

<47>        계속해서, 상기 스페이서(3)의 상부에는 대략 평면인 제1면(2a)과 제2면(2b)을 갖고, 상기 제2면(2b)에는 다수의 입출력패드(2c)가 형성되어 있으며, 상기 제1면(2a)에는 절연수단(4)이 부착된 제2반도체칩(2)이 구비되어 있다. 즉, 상기 제2반도체칩(2)은 제1면(2a)에 형성된 절연수단(4)이 상기 스페이서(3) 상부에 접착되어 있다.

<48>        상기 절연수단(4)은 반도체패키징 분야에서 널리 이용되는 비전도성 테이프, 액상 접착제, 폴리이미드, 산화막 또는 질화막중 어느 하나를 이용할 수 있다. 또한, 이러한 절연수단(4)은 통상 날개의 반도체칩으로 분리되기 전의 웨이퍼 상태에서 형성됨이 바람직하다. 즉, 웨이퍼의 후면에 비전도성 테이프를 접착하거나, 액상 접착제 또는 폴리이미드를 프린팅, 스핀 코팅 또는 스프레이 방식으로 코팅하는 방법 등에 의해 형성 가능하다. 또한 상기 웨이퍼의 후면에 비교적 두꺼운 산화막이나 질화막을 증착시켜 형성할 수도 있다.

<49>        여기서, 상기 제2반도체칩(2)은 제2면(2b) 내주연에 다수의 입출력패드(2c)가 형성된 엣지패드형이 도시되어 있으나, 이는 제2면(2b) 중앙에 다수의 입출력패드(2c)가 형

성된 센터패드형이 이용될 수도 있다.

<50> 한편, 상기 제1반도체칩(1)의 입출력패드(1c)와 상기 셉스트레이트(7)의 회로패턴은 골드와이어 또는 알루미늄와이어와 같은 제1도전성와이어(5) 또는 이의 등가물로 상호 본딩될 수 있다.

<51> 마찬가지로, 상기 제2반도체칩(2)의 입출력패드(2c)와 상기 셉스트레이트(7)의 회로패턴은 상술한 것과 같은 제2도전성와이어(6) 또는 이의 등가물로 상호 본딩될 수 있다.

<52> 상기와 같이 하여, 본 발명에 의한 반도체칩의 스택킹 구조(11)는 상기 절연수단(4)으로 인해 상기 제1도전성와이어(5)가 상기 제2반도체칩(2)의 제1면(2a)과 직접적으로 접촉되지 않고 따라서, 쇼트 현상이 발생하지 않게 된다. 또한, 상기 제1도전성와이어(5)의 기계적 손상도 방지할 수 있게 된다. 더불어, 상기 제1도전성와이어(5)가 상기 절연수단(4)에 접촉되어도 전기적 또는 기계적으로 어떠한 손상도 없기 때문에, 상기 스페이서(3)의 두께를 충분히 낮출 수 있다. 즉, 종래에는 상기 스페이서(3)의 두께를 제1도전성와이어(5)의 루프하이트보다 대략 2배 가까운 두께로 형성해야 했지만, 본 발명은 상기 스페이서(3)의 두께가 상기 제1도전성와이어(5)의 루프하이트와 같거나 또는 더 작게 형성될 수 있다.

<53> 다음으로 도2b의 반도체칩의 스택킹 구조(12)를 참조한다. 상기 도2b의 스택킹 구조(12)는 도2a의 스택킹 구조(11)와 유사하므로 그 차이점만을 설명하기로 한다.

<54> 도시된 바와 같이 상기 제1반도체칩(1), 스페이서(3), 절연수단(4) 및 제2반도체칩(2)의 스택킹 구조(12)는 도2a와 유사하다. 다만, 상기 제1,2도전성와이어

(5,6)는 통상적인 노말 본딩이 아니고 리버스 본딩 방식에 의해 형성되어 있다. 즉, 상기 노말 본딩은 도전성와이어의 일단이 먼저 반도체칩의 입출력패드에 볼본딩되고, 타단이 셉스트레이트의 회로패턴에 스티치 본딩된 경우이지만, 상기 리버스 본딩에 의해 상기 도전성와이어의 일단이 셉스트레이트의 회로패턴에 먼저 볼본딩되고, 상기 도전성와이어의 타단이 반도체칩의 입출력패드에 스티치본딩되어 있다. 물론, 상기 스티치본딩시의 충격을 완화하기 위해 상기 반도체칩의 입출력패드에는 미리 도전성와이어로 붙이 형성되어 있다.(도2b에서 확대도 참조)

<55>       상기 리버스 본딩은 제1반도체칩(1) 및 제2반도체칩(2)과 셉스트레이트(7)의 회로패턴을 연결하는 제1도전성와이어(5) 및 제2도전성와이어(6)에 다 함께 적용될 수 있다.

<56>       상기와 같은 리버스 본딩을 이용한 경우에는 상기 스페이서(3)의 두께를 더욱 감소시킬 수 있는 장점이 있다. 즉, 상기 입출력패드(1c)에 스티치본딩된 도전성와이어의 루프하이트는 대단히 작기 때문에 상기 스페이서(3)의 두께 역시 대폭 축소할 수 있게 된다. 경우에 따라서는 상기 스페이서(3)를 사용하지 않을 수 있으며, 접착력이 향상된 절연수단(4)을 접착수단으로 이용할 수도 있을 것이다.

<57>       물론, 상기 제2반도체칩(2)의 입출력패드(2c)를 셉스트레이트(7)의 회로패턴에 연결하는 제2도전성와이어(6)는 노말 본딩에 의해 상호 연결될 수도 있을 것이다.

<58>       계속해서, 도2c의 반도체칩의 스택킹 구조(13)를 참조하며, 이 또한 도2b의 스택킹 구조(12)와 유사하므로 그 차이점만을 설명하기로 한다.

<59>       도시된 바와 같이 제1반도체칩(1), 스페이서(3), 절연수단(4) 및 제2반도체칩(2)의 스택킹 구조(13)는 도2b와 유사하다. 다만, 상기 제1반도체칩(1)은 제2면(1b) 중앙에 다

수의 입출력패드(1c)가 형성된 센터패드형이며, 또한, 상기 제1반도체칩(1)의 입출력패드(1c)와 상기 셉스트레이트(7)의 회로패턴은 제1도전성와이어(5)에 의해 리버스 본딩된 것이 특징이다.

<60>       상기와 같이 리버스 본딩 방법을 이용한 이유는 스페이서(3)의 두께를 충분히 더 낮출 수 있는 장점 외에, 루프하이트를 크게 하지 않으면서 상기 제1도전성와이어(5)가 제1반도체칩(1)의 입출력패드(1c)를 제외한 다른 영역에 쇼트되지 않는 장점이 있다.

<61>       또한, 이때 상기 스페이서(3)는 액상의 접착제를 이용함이 바람직하다. 즉, 상기 스페이서(3) 내측에 상기 제2도전성와이어(6)가 위치되는 관계로, 상기 스페이서(3)는 고체형의 접착 테이프가 아닌 액상의 접착제를 사용함이 바람직하다. 다른 말로 하면, 상기 제1반도체칩(1)의 입출력패드(1c)와 셉스트레이트(7)의 회로패턴을 제1도전성와이어(5)로 리버스 본딩 한 후, 상기 제1반도체칩(1)의 제1면(1a)에 액상의 접착제를 도포하여 경화시킨 후, 절연수단(4)이 부착된 제2반도체칩(2)이 상기 스페이서(3) 상부에 접착되도록 한다. 물론, 이때에도 상기 절연수단(4)은 상술한 바와 같이, 비전도성 테이프, 액상 접착제, 폴리이미드, 산화막 또는 질화막중 어느 하나가 임의적으로 사용될 수 있다.

<62>       더불어, 도면에는 제2반도체칩(2) 역시 제2도전성와이어(6)에 의해 리버스본딩된 것이 도시되어 있지만, 이는 노말본딩도 가능하다. 또한, 엣지패드형의 제2반도체칩(2)이 도시되어 있으나, 이는 센터패드형도 가능하고 이때의 제2도전성와이어(6)는 리버스 본딩됨이 바람직하다.

<63>       한편, 여기서 상기 스택킹 구조(11,12,13)는 제1반도체칩(1) 및 제2반도체칩(2)을 중심으로 설명하였지만, 상기 제2반도체칩(2)의 상면에는, 하면에 절연수단(4)이 형성된

제3,4,5..반도체칩이 연속적으로 더 스택될 수 있으며, 그 갯수를 한정하는 것은 아니다

<64> 도3은 본 발명에 의한 반도체패키지(14)의 일례를 도시한 단면도로서, 반도체칩의 스택킹 구조(11)는 도2a와 동일함을 알 수 있다.

<65> 도시된 바와 같이 다수의 회로패턴이 형성된 셉스트레이트(7)가 구비되어 있고, 상기 셉스트레이트(7)의 일면에는, 대략 평면인 제1면(1a)과 제2면(1b)을 갖고, 상기 제2면(1b)에는 다수의 입출력패드(1c)가 형성된 제1반도체칩(1)이 접착되어 있다.

<66> 또한, 상기 제1반도체칩(1)의 제2면(1b)에는 일정 두께의 스페이서(3)가 접착되어 있고, 상기 스페이서(3)의 상면에는 대략 평면인 제1면(2a)과 제2면(2b)을 갖고, 상기 제2면(2b)에는 다수의 입출력패드(2c)가 형성되어 있으며, 상기 제1면(2a)에는 절연수단(4)이 형성되어 상기 스페이서(3)에 접착된 제2반도체칩(2)이 구비되어 있다.

<67> 더불어, 상기 제1반도체칩(1)의 입출력패드(1c)와 상기 셉스트레이트(7)의 회로패턴은 제1도전성와이어(5)로 본딩되어 있고, 상기 제2반도체칩(2)의 입출력패드(2c)와 상기 셉스트레이트(7)의 회로패턴은 제2도전성와이어(6)로 본딩되어 있다.

<68> 또한, 상기 셉스트레이트(7) 일면의 제1반도체칩(1), 스페이서(3), 절연수단(4)이 접착된 제2반도체칩(2), 제1,2도전성와이어(5,6)는 에폭시몰딩컴파운드와 같은 봉지재로 봉지되어 일정 형태의 봉지부(8)가 형성되어 있다.

<69> 여기서, 상기 셉스트레이트(7)는 주지된 바와 같이 인쇄회로기판, 써킷테이프, 써킷필름 또는 리드프레임중 어느 하나가 임의적으로 이용될 수 있다. 또한, 상기 셉스트레이트(7)로서 상기 인쇄회로기판, 써킷테이프, 써킷필름이 이용된 경우에는 상기 셉스



트레이트(7)의 회로패턴에, 차후 마더보드에 실장 가능하도록 솔더볼과 같은 도전성볼(9)이 더 용착될 수도 있다.

<70> 이러한 예는 도2b 및 도2c의 스택킹 구조(11,12)도 반도체패키지(14)에 그대로 채택할 수 있는 것들이다. 또한, 여기서 상기 반도체패키지(14)는 상기 제1반도체칩(1) 및 제2반도체칩(2)을 중심으로 설명하였지만, 상기 제2반도체칩(2)의 상면에는, 하면에 절연수단(4)이 형성된 제3,4,5..반도체칩이 연속적으로 더 스택될 수 있으며, 그 갯수를 한정하는 것은 아니다.

<71> 이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

#### 【발명의 효과】

<72> 따라서, 본 발명에 의한 반도체칩의 스택킹 구조 및 이를 이용한 반도체패키지에 의하면, 제2반도체칩의 제1면에 절연수단이 더 부착됨으로써, 도전성와이어가 그 절연수단에 접촉되어도 전기적으로 절연이 가능한 효과가 있다.

<73> 더불어, 상기 절연수단은 부드러운 물질로 되어 있어, 상기 도전성와이어의 기계적 손상을 방지함은 물론, 상기 스페이서의 두께를 충분히 작게 할 수 있음으로, 스택된 반도체칩의 전체적인 두께를 낮출 수 있는 효과가 있다.

<74> 부수적으로, 도전성와이어가 절연수단에 고착되게 함으로써, 봉지 공정등에서 도전성와이어의 풀림 현상도 제거되는 장점이 있다.

**【특허청구범위】****【청구항 1】**

다수의 회로패턴이 형성된 셉스트레이트와;

상기 셉스트레이트의 표면에 접착되어 있으며, 대략 평면인 제1면과 제2면을 갖고, 상기 제2면에는 다수의 입출력패드가 형성된 제1반도체칩과;

상기 제1반도체칩의 제2면에 접착된 스페이서와;

대략 평면인 제1면과 제2면을 갖고, 상기 제2면에는 다수의 입출력패드가 형성되어 있으며, 상기 제1면에는 절연수단이 부착되어 상기 스페이서에 접착된 제2반도체칩과;

상기 제1반도체칩의 입출력패드와 상기 셉스트레이트의 회로패턴을 연결하는 제1도전성와이어와;

상기 제2반도체칩의 입출력패드와 상기 셉스트레이트의 회로패턴을 연결하는 제2도전성와이어를 포함하여 이루어진 반도체칩의 스택킹 구조.

**【청구항 2】**

제1항에 있어서, 상기 제1반도체칩은 제2면 내주연에 다수의 입출력패드가 형성된 엣지패드형인 것을 특징으로 하는 반도체칩의 스택킹 구조.

**【청구항 3】**

제1항 또는 제2항에 있어서, 상기 스페이서는 비전도성 액상 접착제 또는 비전도성 접착 테이프중 어느 하나 인 것을 특징으로 하는 반도체칩의 스택킹 구조.

**【청구항 4】**

제1항 또는 제2항중 어느 한 항에 있어서, 상기 절연수단은 비전도성 테이프, 액상 접착제, 폴리이미드, 산화막 또는 질화막중 어느 하나 인 것을 특징으로 하는 반도체칩의 스택킹 구조.

**【청구항 5】**

제1항 또는 제2항에 있어서, 상기 제1도전성와이어는 일단이 상기 셉스트레이트의 회로패턴에 볼본딩되고, 타단이 상기 제1반도체칩의 입출력패드에 스티치본딩된 것을 특징으로 하는 반도체칩의 스택킹 구조.

**【청구항 6】**

제5항에 있어서, 상기 스티치본딩되는 제1반도체칩의 입출력패드에는 도전성볼이 형성된 것을 특징으로 하는 반도체칩의 스택킹 구조.

**【청구항 7】**

제1항에 있어서, 상기 제1반도체칩은 제2면 중앙에 다수의 입출력패드가 형성된 센터패드형인 것을 특징으로 하는 반도체칩의 스택킹 구조.

**【청구항 8】**

제7항에 있어서, 상기 스페이서는 비전도성 액상 접착제인 것을 특징으로 하는 반도체칩의 스택킹 구조.

**【청구항 9】**

제7항에 있어서, 상기 절연수단은 비전도성 테이프, 액상 접착제, 폴리이미드, 산화막 또는 질화막중 어느 하나 인 것을 특징으로 하는 반도체칩의 스택킹 구조.

**【청구항 10】**

다수의 회로패턴이 형성된 셉스트레이트와;

상기 셉스트레이트의 표면에 접촉되어 있으며, 대략 평면인 제1면과 제2면을 갖고, 상기 제2면에는 다수의 입출력패드가 형성된 제1반도체칩과;

상기 제1반도체칩의 제2면에 접촉된 스페이서와;

대략 평면인 제1면과 제2면을 갖고, 상기 제2면에는 다수의 입출력패드가 형성되어 있으며, 상기 제1면에는 절연수단이 형성되어 상기 스페이서에 접촉된 제2반도체칩과;

상기 제1반도체칩의 입출력패드와 상기 셉스트레이트의 회로패턴을 연결하는 제1도전성와이어와;

상기 제2반도체칩의 입출력패드와 상기 셉스트레이트의 회로패턴을 연결하는 제2도전성와이어와;

상기 셉스트레이트 일면의 제1반도체칩, 스페이서, 절연수단이 접촉된 제2반도체칩, 제1,2도전성와이어를 봉지재로 봉지하여 형성된 봉지부를 포함하여 이루어진 반도체패키지.

**【청구항 11】**

제10항에 있어서, 상기 셉스트레이트는 인쇄회로기판, 씨킷테이프, 씨킷필름 또는 리드프레임중 어느 하나 인 것을 특징으로 하는 반도체패키지.

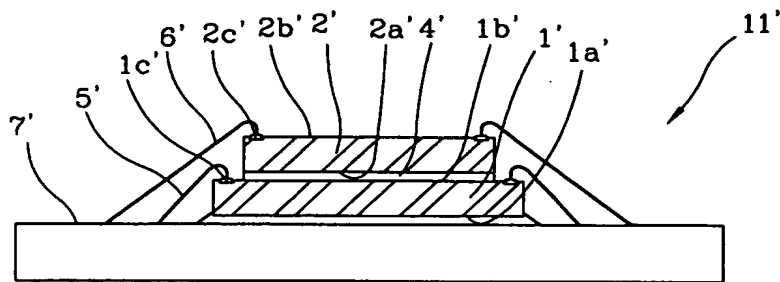
**【청구항 12】**

제11항에 있어서, 상기 셉스트레이트로서 인쇄회로기판, 씨킷테이프, 씨킷필름이

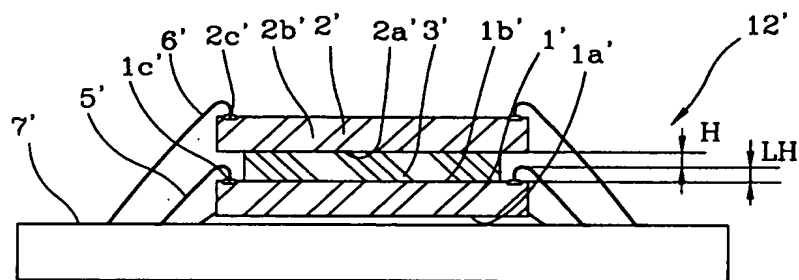
이용된 경우, 상기 셉스트레이트의 일면에는 마더보드에 실장 가능하도록 도전성볼이 융착된 것을 특징으로 하는 반도체패키지.

## 【도면】

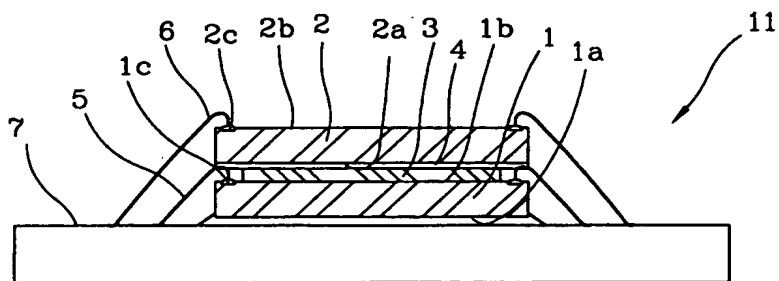
【도 1a】



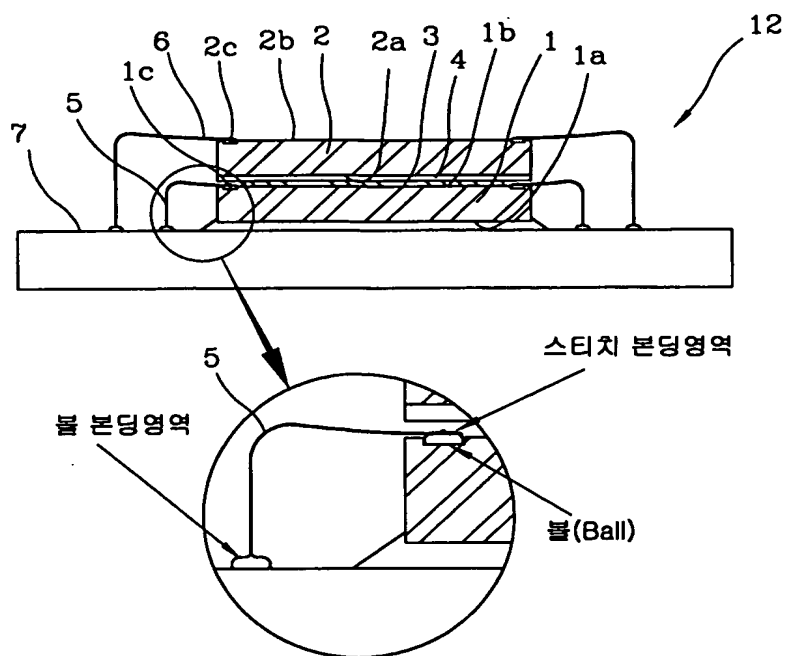
【도 1b】



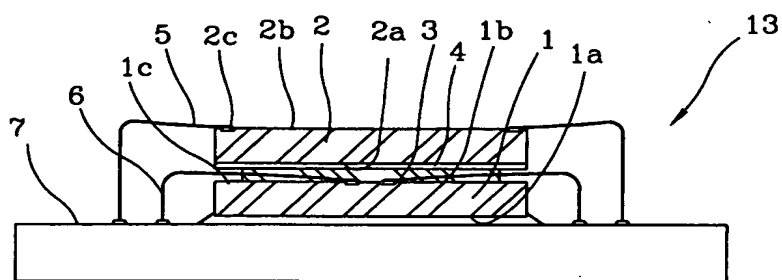
【도 2a】



【도 2b】



【도 2c】



【도 3】

